

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-109912

(43)Date of publication of application : 30.06.1983

(51)Int.Cl.

G05F 1/56
H03F 1/30

(21)Application number : 56-207030

(71)Applicant : OKI ELECTRIC IND CO LTD
NIPPON TELEGR & TELEPH
CORP <NTT>

(22)Date of filing : 23.12.1981

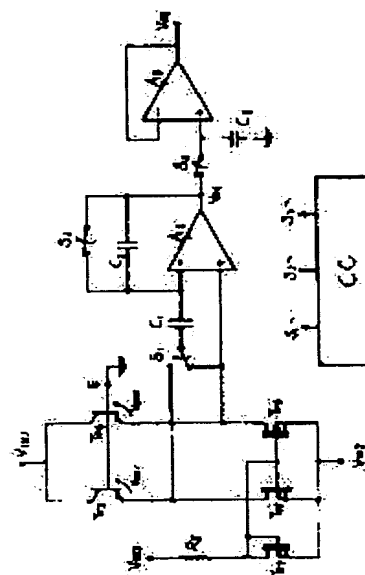
(72)Inventor : MORI SHIGEKAZU
KATAOKA MUTSUO
IWATA ATSUSHI

(54) REFERENCE VOLTAGE GENERATING CIRCUIT

(57)Abstract:

PURPOSE: To obtain a reference voltage with high accuracy, by detecting a base-to-emitter voltage and voltage difference of transistors (TRs) having different current density and setting the gain with the ratio of capacitance.

CONSTITUTION: An emitter current of TRs 2, 3 consisting of a plurality of unit TRs is equal to the current of N-MOS TRs 5, 6 consisting of a plurality of the unit TRs, and this current depends on the current flowing to a TR7 via a resistor R5. The current ratio and the current density ratio of the TRs 3, 4 depend on the number of unit TRs of the TRs 3W6. In this case, a base-to-emitter voltage V_{BE2} of the TR4 shows a positive temperature characteristic and a ΔV_{BE} being the difference between a V_{BE1} and a V_{BE2} of the TR3 shows a negative temperature characteristic. An amplifier A2 where the amplification factor is determined in the ratio of the capacitances C1, C2, applies the ΔV_{BE} to the V_{BE2} with a prescribed multiple, and a reference voltage having zero temperature characteristic equal to the band gap voltage of silicon and the V_{BE2} are alternately outputted through the control of switches S1, S2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭58—109912

⑫ Int. Cl.³
G 05 F 1/56
H 03 F 1/30

識別記号

庁内整理番号
8023—5H
6832—5J

⑬ 公開 昭和58年(1983)6月30日

発明の数 1
審査請求 未請求

(全 6 頁)

⑭ 基準電圧発生回路

⑮ 特 願 昭56—207030

⑯ 出 願 昭56(1981)12月23日

⑰ 発 明 者 守重和

東京都港区虎ノ門1丁目7番12
号沖電気工業株式会社内

⑱ 発 明 者 片岡睦雄

東京都港区虎ノ門1丁目7番12
号沖電気工業株式会社内

⑲ 発 明 者 岩田穆

武蔵野市緑町3丁目9番11号日
本電信電話公社武蔵野電気通信
研究所内

⑳ 出 願 人 沖電気工業株式会社

東京都港区虎ノ門1丁目7番12
号

㉑ 出 願 人 日本電信電話公社

㉒ 代 理 人 弁理士 角田仁之助

明 細 書

1. 発明の名称

基準電圧発生回路

2. 特許請求の範囲

コレクタ、ベースが夫々共通接続されて第1の電位点、第2の電位点に接続され、エミッタが電流源回路を介して第3の電位点に接続された一対のNPNトランジスタのエミッタ間差動電圧からシリコンのバンドギャップ電圧に相当する基準電圧を取出す基準電圧発生回路において、非反転入力端を前記一対のNPNトランジスタの一方のエミッタに、反転入力端を第1の容量の一端に、反転入力端と出力端との間に第2の容量を接続した差動増幅器と、前記第1の容量の他端を前記一対のトランジスタの各エミッタに交互に切換えて接続する第1のスイッチと、前記第2の容量に並列に挿入された第2のスイッチと、前記差動増幅器の出力電圧が前記一対のNPNトランジスタの一方のトランジスタのエミッタ・ベース間電圧を示す第1の電圧レベルとこの第1の電圧レベルに前記一対

のNPNトランジスタのエミッタ間差圧に前記第1の容量と第2の容量との容量比を乗じた値を加算した電圧を示す第2の電圧レベルとを交互に示すように前記第1、第2のスイッチを切換えて制御する制御回路とを具備し、前記第2の電位点を基準とする前記出力電圧の第2の電圧レベルがシリコンのバンドギャップ電圧に等しくなるように前記容量比を選択したことを特徴とする基準電圧発生回路。

3. 発明の詳細な説明

本発明はSi半導体のバンドギャップ電圧を用いた基準電圧発生回路に関するものである。

従来のこの種基準電圧発生回路を第1図に示す。図において Tr_1 、 Tr_2 はNPNトランジスタ、 R_1 、 R_2 、 R_3 、 R_4 は抵抗、 A_1 は差動増幅器、 V_{IN} は電源端子、 E は接地端子、 V_{OUT} は出力端子である。

次にその動作について説明する。

電源電圧は電源端子 V_{IN} と接地端子 E 間に供給され、差動増幅器 A_1 による負帰還により抵抗 R_1 、 R_2 の端子電圧は同一電位に保たれる。このことはト

ランジスタ Tr_1 と Tr_2 のコレクタ電流の電流比が抵抗 R_2 、 R_1 の抵抗比に等しいことを意味している。トランジスタ Tr_1 のエミッタ電流は抵抗 R_3 にかかる電圧、即ち、トランジスタ Tr_1 と Tr_2 のベース・エミッタ間電圧の差で決まり、抵抗 R_4 にはトランジスタ Tr_1 と Tr_2 のエミッタ電流の和が流れる。そして出力端子 V_{OUT} と接地端子 E 間の電圧はトランジスタ Tr_2 のベース・エミッタ間電圧と抵抗 R_4 の端子電圧との和となる。

この出力電圧は、次のようにあらわされる。

$$V_{OUT} = V_{BE2} + \left(\frac{R_1 + 1}{R_2} \right) \cdot \frac{R_4}{R_3} \cdot \frac{kT}{q} \ln \frac{J_2}{J_1} \quad (1)$$

$$V_{BE2} = V_{GO} \left(1 - \frac{T}{T_0} \right) + V_{BE20} \frac{T}{T_0} + \frac{n k T}{q} \ln \frac{T_0}{T} + \frac{kT}{q} \ln \frac{J_2}{J_{20}} \quad (2)$$

$$\frac{J_2}{J_1} = \frac{I_{C2}}{I_{C1}} \cdot \frac{A_{E1}}{A_{E2}} = \frac{R_1}{R_2} \cdot \frac{A_{E1}}{A_{E2}} \quad (3)$$

$$\frac{J_2}{J_{20}} = \frac{T}{T_0} \quad (4)$$

なお、 k : ボルツマン定数

(6) 式の左辺は $T = T_0$ (°K) での V_{OUT} の値である。つまり出力電圧 V_{OUT} を $V_{GO} + (n-1) \frac{kT_0}{q}$ になるように設定すると温度係数が零となり、その値は Si のバンドギャップ電圧にほぼ等しくなる。

このことから R_1/R_2 、 R_4/R_3 の抵抗比、 A_{E1}/A_{E2} のトランジスタのエミッタ面積比を(6)式を満たすように設定すると Si バンドギャップ電圧にほぼ等しい $V_{GO} + (n-1) \cdot \frac{kT_0}{q}$ の基準電圧を発生させることができる。

しかしながら、この回路はトランジスタ Tr_1 、 Tr_2 のコレクタ電流を検出する必要があるため、コレクタ端子を電源端子 V_{IN} に接続することができず、又抵抗比により出力を設定することから抵抗の相対精度が問題となる欠点があった。

本発明は、以上のような従来の欠点を除去するため電流密度の異なる NPN トランジスタの各々のベース・エミッタ間電圧及び相互の電圧の差を検出し、利得を容量比で設定するようにしたもので、NPN トランジスタのコレクタ端子を電源に結合可能とし、利得の設定を抵抗比の代りに容量比で行

q : 電子の電荷

T : 絶対温度 (°K)

V_{GO} : 0°K での Si バンドギャップ電圧
(外挿値 ≈ 1.205 V)

n : 定数 (≈ 1.5)

J_1, J_2 : トランジスタ Tr_1, Tr_2 の電流密度

I_{C1}, I_{C2} : コレクタ電流

A_{E1}, A_{E2} : エミッタ面積

V_{BE2} : トランジスタ Tr_2 のベース・エミッタ間電圧

V_{BE20} : $T = T_0$ (°K) での V_{BE2} の値

J_{20} : J_2 の値

(1) 式は (2) ~ (4) 式より次のようにあらわされる。

$$V_{OUT} = V_{GO} + \frac{T}{T_0} (V_{BE2} - V_{GO}) + (n-1) \frac{kT}{q} \ln \frac{T_0}{T} + \left(\frac{R_1}{R_2} + 1 \right) \frac{R_4}{R_3} \cdot \frac{kT}{q} \ln \left(\frac{R_1}{R_2} \cdot \frac{A_{E1}}{A_{E2}} \right) \quad (5)$$

この出力電圧 V_{OUT} の温度係数が $T = T_0$ (°K) で零である条件を(5)式から求めると、

$$V_{BE20} + \left(\frac{R_1}{R_2} + 1 \right) \frac{R_4}{R_3} \cdot \frac{kT_0}{q} \ln \left(\frac{R_1}{R_2} \cdot \frac{A_{E1}}{A_{E2}} \right) = V_{GO} + (n-1) \frac{kT_0}{q} \quad (6)$$

り C-MOS 集積化に適した Si バンドギャップの基準電圧発生回路を提供するようにしたものである。以下本発明の一実施例を図面により詳細に説明する。

第 2 図は、本発明基準電圧発生回路の第 1 の実施例で、 Tr_3 、 Tr_4 は NPN トランジスタ、 Tr_5 、 Tr_6 、 Tr_7 は N チャネル MOS FET (以下単に、N MOS という)、 C_1 、 C_2 、 C_3 は容量、 S_1 、 S_2 、 S_3 はスイッチ、 R_3 は抵抗、 A_2 、 A_3 は差動増幅器を示す。

トランジスタ Tr_3 、 Tr_4 のコレクタ端子は第 1 の電位点 V_{IN1} と接続し、ベース端子は第 2 の電位点例えば接地端子 E と接続し、トランジスタ Tr_3 、 Tr_4 のエミッタ端子は各々 N MOS Tr_5 、 Tr_6 のドレイン端子と接続されている。N MOS Tr_5 、 Tr_6 、 Tr_7 のゲート端子は共通結合されて N MOS Tr_7 のドレイン端子に接続され、N MOS Tr_5 、 Tr_6 、 Tr_7 のソース端子は第 3 の電位点 V_{IN2} と接続し、電源端子 V_{IN3} と N MOS Tr_7 のドレイン端子間に直列に抵抗 R_5 が接続されている。トランジスタ Tr_3 、

Tr_4 の各々のエミッタ端子は第1のスイッチ S_1 を通じて容量 C_1 の一端に切り換え接続され、トランジスタ Tr_4 のエミッタ端子に接続された差動増幅器 A_2 の非反転入力端子、容量 C_1 の他端は差動増幅器 A_2 の反転入力端子に接続され、容量 C_2 とリセット用の第2のスイッチ S_2 は差動増幅器 A_2 の反転入力端子と出力端子 V_{o1} 間に接続され、第3のスイッチ S_3 は出力端子 V_{o1} と利得1のバッファアンプ A_3 の非反転入力端子間に接続され、容量 C_3 はバッファアンプ A_3 の非反転入力端子と接地端子間接続されている。 V_{o2} はバッファアンプ A_3 の出力端子であり、CCはスイッチ S_1 、 S_2 、 S_3 の制御回路である。

次にその動作について説明する。

トランジスタ Tr_3 、 Tr_4 の各々のエミッタ電流は N MOS Tr_5 、 Tr_6 のドレイン電流に等しく、この N MOS Tr_5 、 Tr_6 のドレイン電流は電源端子 V_{DD} 、抵抗 R_5 及び N MOS Tr_7 からなるバイアス回路により設定され、抵抗 R_6 に流れるバイアス電流、即ち N MOS Tr_7 のドレイン電流によって決る。

I_{E2} : トランジスタ Tr_4 のエミッタ電流

I_{E20} : $T = T_0(^{\circ}K)$ での I_{E2} の値

(7)式と(8)式から dV_{BE} は正の温度係数、 V_{BE2} は負の温度係数を持つ。 V_{BE2} に dV_{BE} を K 倍して加えることにより温度係数を零にする。その時の出力電圧は $V_{OUT} = V_{BE2} + K \cdot dV_{BE}$ となる。

今、 $T = T_0(^{\circ}K)$ で温度係数が零になる条件を求めると次のようにあらわされる。

$$V_{BE20} + K \cdot dV_{BE0} = V_{G0} + \frac{(n-1)kT_0}{q} \quad (9)$$

但し $\frac{I_{E2}}{I_{E20}} = 1$ とする。

$$dV_{BE0} : T = T_0(^{\circ}K) \text{ での } dV_{BE} \rightarrow \frac{kT_0}{q} \ln \left(\frac{N_3}{N_4} \times \frac{N_6}{N_5} \right)$$

(9)式を満たす K の値を選ぶと、この時(9)式は $T = T_0(^{\circ}K)$ での出力電圧が S_1 のバンドギャップ電圧にほぼ等しい $V_{G0} + \frac{(n-1)kT_0}{q}$ の基準電圧出力であることを示している。差動増幅器 A_2 は加算増幅器として作用し、利得は容量 C_1 、 C_2 の容量比によって決り、 C_1/C_2 を(8)式の K に等しくなるように設定する。なおスイッチ S_1 、 S_2 、 S_3 の動作、出

今、トランジスタ Tr_3 、 Tr_4 の各々は単位トランジスタが N_3 個、 N_4 個から構成され、 N MOS Tr_5 、 Tr_6 、 Tr_7 の各々は単位 N MOS が N_5 個、 N_6 個、 N_7 個から構成されているとするとトランジスタ Tr_3 、 Tr_4 のエミッタ電流比は N MOS Tr_5 、 Tr_6 のドレイン電流の比、即ち N_5 と N_6 の比になる。又トランジスタ Tr_3 、 Tr_4 の電流密度の比は 1 対 $\frac{N_3}{N_4}$ $\times \frac{N_6}{N_5}$ となる。さらに、 N MOS Tr_5 、 Tr_6 の各々のドレイン電流は N MOS Tr_7 のドレイン電流の $\frac{N_5}{N_7}$ 倍、 $\frac{N_6}{N_7}$ 倍にほぼ等しい。トランジスタ Tr_3 、 Tr_4 のベース・エミッタ間電圧を V_{BE1} 、 V_{BE2} とし、 V_{BE2} と V_{BE1} の電位差を dV_{BE} とすると、次のようにあらわされる。

$$V_{BE} = V_{BE2} - V_{BE1} = \frac{kT}{q} \ln \left(\frac{N_3}{N_4} \cdot \frac{N_6}{N_5} \right) \quad (7)$$

但し、 $\frac{N_3}{N_4} \cdot \frac{N_6}{N_5} > 1$ となる。

$$V_{BE2} = V_{G0} + \frac{T}{T_0} (V_{BE20} - V_{G0}) + \frac{n k T}{q} \ln \frac{T_0}{T} + \frac{k T}{q} \ln \frac{I_{E2}}{I_{E20}} \quad (8)$$

なお、 V_{BE20} : $T = T_0(^{\circ}K)$ での V_{BE2} の値

力端子 V_{o1} 、 V_{o2} の波形を第3図に示す。

制御回路 CC はスイッチ S_1 、 S_2 、 S_3 を制御する回路で、その制御信号を同じスイッチ S_1 、 S_2 、 S_3 と同一の記号で示したもので、信号 S_1 が "H" のときはスイッチ S_1 はトランジスタ Tr_4 のエミッタ端子に接続状態にあり、"L" のときはスイッチ S_1 はトランジスタ Tr_3 のエミッタ端子に接続状態となる。スイッチ S_2 、 S_3 は制御信号 S_2 、 S_3 が "H" のとき閉じており、"L" のときは開いた状態である。

第3図のタイムチャートに示すように、最初のリセット時には、リセットスイッチ S_2 は閉じた状態であり、スイッチ S_1 がトランジスタ Tr_4 のエミッタ端子に接続状態で、スイッチ S_3 は開いた状態である。このとき、出力端子 V_{o1} は $-V_{BE2}$ の電位であり、出力端子 V_{o2} は容量 C_3 のチャージされた電圧を保持している。次に、リセットスイッチ S_2 を開き、スイッチ S_1 をトランジスタ Tr_3 のエミッタ側へ切り換えると出力端子 V_{o1} の電圧は $-V_{BE2}$ から $dV_{BE} \times \frac{C_1}{C_2}$ だけ下がり、 $-V_{BE2} - dV_{BE2} \times \frac{C_1}{C_2}$

となる。

この電圧が(9)式のSiバンドギャップ電圧に相当する基準電圧である。この値は接地に対する負の基準電圧である。出力端子 V_{01} の電圧はパルスの基準電圧出力であるため、直流出力が必要であるときはバッファアンプ A_5 、スイッチ S_5 及び容量 C_5 からなるサンプルアンドホールド回路の出力端子 V_{02} の電圧を用いるとよい。この動作は出力端子 V_{01} の基準出力をスイッチ S_5 を閉じて、容量 C_5 にチャージして、スイッチ S_5 を開いても基準電圧を保持し、出力端子 V_{02} の出力は直流基準電圧出力となる。さらに差動増幅器 A_2 の入力オフセット電圧に関しては、容量を用いて入力オフセット電圧分をチャージすることにより容易に補正することが可能である。

このように、第1の実施例では2つのNPNトランジスタのエミッタ電圧の差を検出し、容量比による加算増幅器で増幅する構成であるから、NPNトランジスタのコレクタ端子と電源端子に接続することができ、又利得を抵抗比の代りに容量比で

より基準電圧出力を発生させることができる。

この時の基準電圧は $-\left[V_{go} + (n-1) \frac{kT_0}{q}\right]$ である。

第5図は第3の実施例でNPNトランジスタ Tr_5 のエミッタ端子とN MOS Tr_6 のドレイン端子間に直列に抵抗 R_6 とPチャンネルMOS(以下P MOSという) Tr_5' を接続し、トランジスタ Tr_4 のエミッタ端子とN MOS Tr_6 のドレイン端子間にP MOS Tr_6' を接続し、P MOS Tr_5' 、 Tr_6' のゲート端子をP MOS Tr_5' のドレイン端子と接続し、N MOS Tr_5 、 Tr_6 のゲート端子をN MOS Tr_6 のドレイン端子と接続する構成とすればトランジスタ Tr_5 のエミッタ電流は $\frac{AV_{BE}}{R_6}$ となり、NPNトランジスタ Tr_4 のエミッタ電流は $\frac{AV_{BE}}{R_5} \times \frac{N_6}{N_5}$ となる。

以下、第1の実施例と同様な動作により基準電圧出力を発生させることができる。この時の基準電圧は $-\left[V_{go} + (n-1) \frac{kT_0}{q}\right]$ である。

第6図は第4の実施例で、 C_A の容量ブロック $C_{11} \sim C_{1m}$ の m 個、スイッチ $S_{11} \sim S_{1m}$ の m 個、 C_B の容量ブロック $C_{21} \sim C_{2n}$ の n 個、スイッチ S_{21}

設定できる。このことはCMOS集積回路においては電源電圧のかかる基板がコレクタとなるトランジスタが容易に形成可能であり、さらに高比精度の容量も実現可能であるからSiバンドギャップ電圧のCMOS集積化基準電圧発生回路を実現できる効果がある。

以上、第1の実施例ではトランジスタのエミッタ電流のバイパス回路として電圧源、抵抗及びN MOSによる回路を説明したが、第4図に第2の実施例を示す。図に示すようにトランジスタ Tr_5 のエミッタ端子とN MOS Tr_5 のドレイン端子間に、抵抗 R_5 を接続し、抵抗 R_5 にかかる電圧がトランジスタ Tr_5 、 Tr_4 のベース・エミッタ間電圧の差の AV_{BE} に等しくなるように差動増幅器 A_4 によりN MOS Tr_5 、 Tr_6 のゲート端子に負帰還をかける構成とすれば、トランジスタ Tr_5 のエミッタ電流は $\frac{AV_{BE}}{R_5}$ となり、トランジスタ Tr_4 のエミッタ電流は $\frac{AV_{BE}}{R_4} \times \frac{N_6}{N_5}$ となる。但しN MOS Tr_5 、 Tr_6 の各々は単位N MOSが N_5 個、 N_6 個から構成されているものとする。以下、第1の実施例と同様な動作に

$\sim S_{2n}$ の n 個の構成であり、利得が $(C_A)(C_B)$ の容量ブロックの容量比により決めるので各容量ブロックのスイッチを制御することにより、各容量ブロックの並列容量和の値を変えて、即ち、ブロック間の容量比を変えて利得を制御できる。このことは集積化基準電圧の製造後のバラツキの調整に利用することができる。例えば設定の基準電圧に対応した (C_A) 、 (C_B) の容量ブロックのMOSスイッチのON、OFFの状態に応じたMOSのゲート端子のレベルを固定するようにゲート端子の制御回路の配線パターン層を溶断することにより、調整を固定化できる。又MOSスイッチの代りに直接配線パターン層で容量を接続しておき、調整としては配線パターン層を溶断して容量を分離することでも可能である。

以上詳細に説明したように、本発明はNPNトランジスタのコレクタ端子を電源に接続でき、容量比による加算回路で構成される利点がある。このことはCMOS集積回路において電源電圧のかかる基板がコレクタとなるトランジスタが容易に形成

可能であり、さらに比精度の良い容量や差動増幅器、サンプルアンドホールド回路、スイッチ等も形成できるから、従来集積化が困難であったC-MOS集積回路の基準電圧発生回路に利用することができる効果がある。

4. 図面の簡単な説明

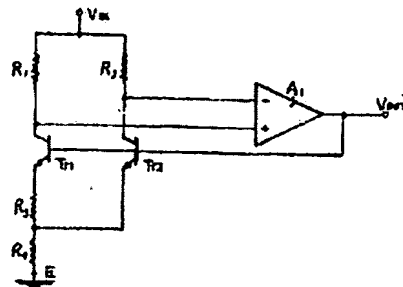
第1図は従来の基準電圧発生回路の回路図、第2図は本発明基準電圧発生回路の一実施例を示す回路図、第3図は第2図における回路の各点の波形説明図、第4図、第5図、第6図は夫々本発明の他の実施例を示す回路図である。

$Tr_1, Tr_2, Tr_3, Tr_4 \dots$ NPN トランジスタ、
 $Tr_5, Tr_6, Tr_7 \dots$ Nチャネル MOS FET (NMOS)、
 $Tr_5', Tr_6' \dots$ P MOS、 $S_1, S_2, S_3, S_{11} \sim S_{1m}, S_{21} \sim S_{2m} \dots$ スイッチ、 $A_1, A_2, A_3, A_4 \dots$ 差動増幅器、CC \dots 制御回路。

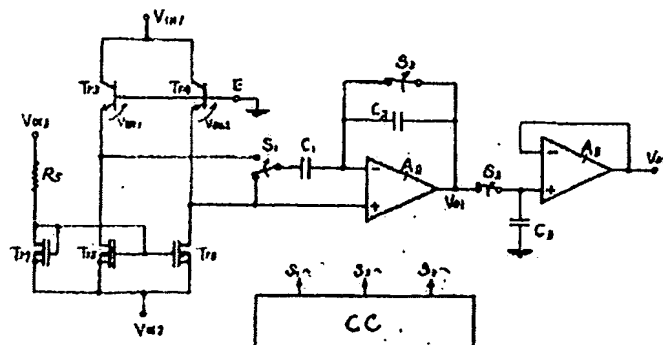
特許出願人 沖電気工業株式会社
 日本電信電話公社
 代理人 角田 仁之助



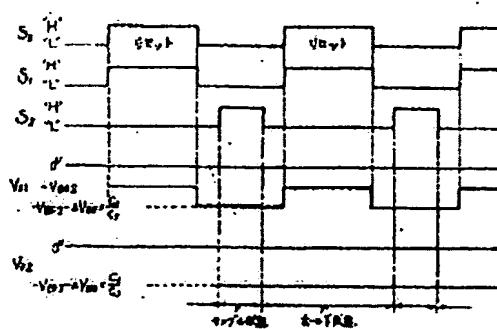
第 1 図



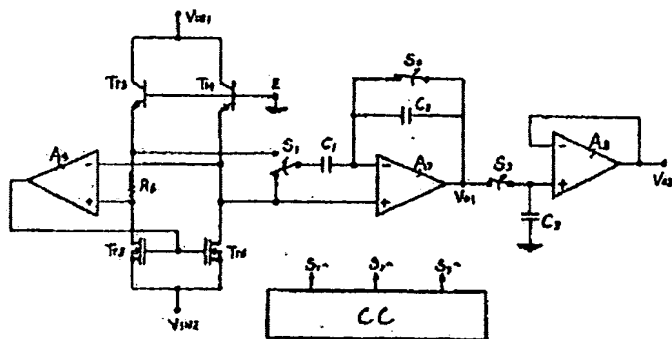
第 2 図



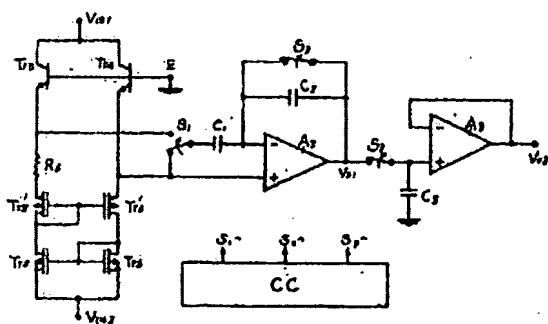
第 3 図



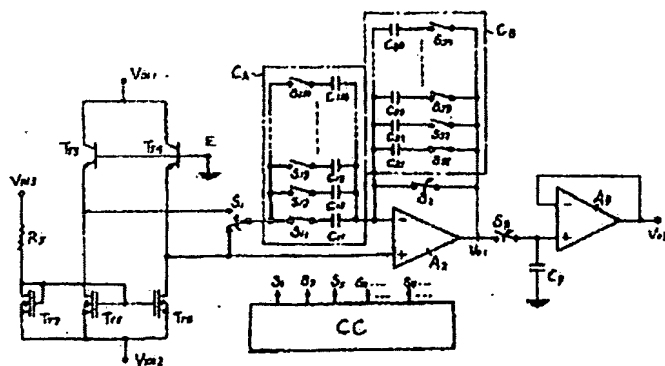
第 4 図



第 5 図



第 6 図



特許法第17条の2の規定による補正の掲載

昭和58年特許願第 207030 号(特開昭 58-109912 号, 昭和58年 6月30日 発行 公開特許公報 58-1100 号掲載)については特許法第17条の2の規定による補正があったので下記のとおり掲載する。 6 (3)

Int. Cl. 1	識別記号	序内整理番号
G05P 1/56 H03P 1/30	X	7315-5H 8932-5J

手続補正書

昭和60年 3月13日

特許庁長官 殿

- 事件の表示
昭和58年特許 願第 207030 号
- 発明の名称
基準電圧発生回路
- 補正をする者
事件との関係 特許出願人
住所(〒105)東京都港区虎ノ門1丁目7番12号
名称(029)沖電気工業株式会社
代表者 橋本 南海男 (外1名)
- 代理人
住所(〒105) 東京都港区虎ノ門5丁目6番4号
高村ビル4階
氏名(7004) 弁護士 角田仁之助
電話(431)7929
- 補正の対象
明細書の発明の詳細な説明及び図面の修正な説明
の各欄及び図面
- 補正の内容
別紙のとおり

- 明細書第4頁第13行目の(5)式中

$\left[\frac{T}{T_0} (V_{DS2} - V_{GS}) \right]$ を $\left[\frac{T}{T_0} (V_{DS2n} - V_{GS}) \right]$ と
と補正する。

- 同8頁第14行目の(7)式中

$\left[V_{DS} = V_{DS2} \dots \right]$ を $\left[\Delta V_{DS} = V_{DS2} \dots \right]$
と補正する。

- 同第9頁第9行目の(9)式中

$\left[\frac{(n-1)kT_0}{q} \right]$ を $\left[\frac{nkT_0}{q} \right]$ と補正する。

- 同第9頁第14行目

$\left[V_{GS} + \frac{(n-1)kT_0}{q} \right]$ を $\left[V_{GS} + \frac{nkT_0}{q} \right]$ と
補正する。

- 同第15頁第15行目「 $S_{21} \sim S_{2m}$ 」を

「 $S_{21} \sim S_{2n}$ 」と補正する。

以上

第 1 図

